

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Cheng-Yuan HSU,) Group: Not yet assigned
) et al.)
))
 Serial No.: Not yet assigned) Examiner: Not yet assigned
 Filed: Concurrently herewith))
) Our Ref: B-5241 621274-4
 For: "FLASH MEMORY DEVICE WITH)
 SELECTIVE GATE WITHIN A)
 SUBSTRATE AND METHOD OF)
 FABRICATING THE SAME") Date: September 19, 2003

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Mail Stop Patent Application
 Commissioner for Patents
 P.O. Box 1450
 Alexandria, VA 22313-1450


Sir:

- [X] Applicants hereby make a right of priority claim under 35 U.S.C. 119 for the benefit of the filing date(s) of the following corresponding foreign application(s):

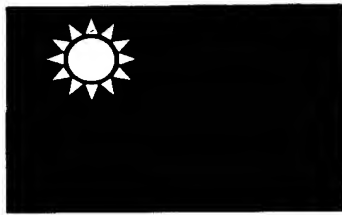
<u>COUNTRY</u>	<u>FILING DATE</u>	<u>SERIAL NUMBER</u>
Taiwan	20 March 2003	92106140

- [] A certified copy of each of the above-noted patent applications was filed with the Parent Application No. _____.
- [X] To support applicant's claim, a certified copy of the above-identified foreign patent application is enclosed herewith.
- [] The priority document will be forwarded to the Patent Office when required or prior to issuance.

Respectfully submitted,


 Richard P. Berg
 Attorney for Applicant
 Reg. No. 28,145

LADAS & PARRY
 5670 Wilshire Boulevard
 Suite 2100
 Los Angeles, CA 90036
 Telephone: (323) 934-2300
 Telefax: (323) 934-0202



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 03 月 20 日
Application Date

申請案號：092106140
Application No.

申請人：力晶半導體股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 10 日
Issue Date

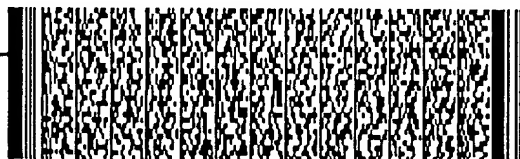
發文字號：09220917040
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	具有位於基底內之選擇閘極的快閃記憶體單元及其製造方法
	英 文	Flash memory with selective gate within a substrate and method of fabricating the same.
二、 發明人 (共4人)	姓 名 (中文)	1. 許正源 2. 洪至偉 3. 吳齊山
	姓 名 (英文)	1. Cheng-Yuan Hsu 2. Chih-Wei Hung 3. Chi-Shan Wu
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 新竹市武陵路179巷2號6F之3 2. 新竹市花園街106號7樓之3 3. 台北縣新店市二十張路42之3號12樓
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 力晶半導體股份有限公司
	名稱或 姓 名 (英文)	1. Powerchip Semiconductor Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行一路十二號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 12, Li-Hsin Rd. I, Science-Based Industrial Park, Hsin-Chu, Taiwan, R. O. C.
	代表人 (中文)	1. 黃崇仁
	代表人 (英文)	1. Frank Huang

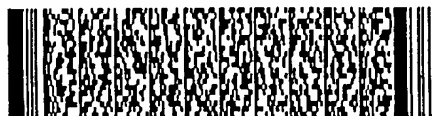


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	4. 黃明山
	姓 名 (英文)	4. Vincent, Huang
	國 籍 (中英文)	4. 中華民國 TW
	住居所 (中 文)	4. 新竹市柏川三路7號
	住居所 (英 文)	4.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：具有位於基底內之選擇閘極的快閃記憶體單元及其製造方法)

本發明係關於一種具有位於基底內之選擇閘極的快閃記憶體單元及其製造方法，此快閃記憶體單元結構包括：一半導體基底；一浮置閘極，設置於上述半導體基底上；一字元線，沿一第一方向延伸並覆蓋於浮置閘極及鄰近之半導體基底上；一溝槽，設置於鄰近上述字元線之一側邊之半導體基底內；一選擇閘極，垂直地設置於上述溝槽內並部分覆蓋於浮置閘極上；一源極，設置於鄰近為字元線所覆蓋之浮置閘極另一側之半導體基底內；以及一汲極，設置於選擇閘極下方之半導體基底內。

伍、(一)、本案代表圖為：第2K圖

(二)、本案代表圖之元件代表符號簡單說明：

FG~浮置閘極；

SG~選擇閘極；

S~源極；

陸、英文發明摘要 (發明名稱：Flash memory with selective gate within a substrate and method of fabricating the same.)

Flash memory with selective gate within a substrate and method of fabricating the same. A flash memory cell in accordance with the invention comprises a substrate, a floating gate on the substrate, a wordline extending along a first direction and covering the floating gate and the adjacent substrate thereof, a trench formed in the substrate adjacent to one side of the wordline, a



四、中文發明摘要 (發明名稱：具有位於基底內之選擇閘極的快閃記憶體單元及其製造方法)

D~ 汲極；

100~ 矽基底；

104~ 第一介電層；

106~ 第一導電層；

108~ 第二介電層；

110~ 第二導電層；

112~ 上蓋層；

114~ 第一間隔物；

122~ 第二溝槽；

128~ 第三介電層；

130~ 氧化層；

132~ 第三導電層；

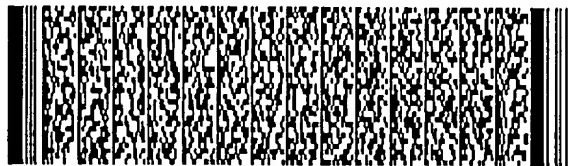
138~ 第二間隔物；

140~ 第三間隔物；

142~ 層間介電層；

陸、英文發明摘要 (發明名稱：Flash memory with selective gate within a substrate and method of fabricating the same.)

selective gate in the trench and partially covering one side of the floating gate, a source region in the substrate adjacent to the other side of the wordline covering the floating gate, and a drain region in the substrate below the trench with the selective gate therein.



四、中文發明摘要 (發明名稱：具有位於基底內之選擇閘極的快閃記憶體單元及其製造方法)

144~金屬層；

WL~字元線；

BL~位元線。

陸、英文發明摘要 (發明名稱：Flash memory with selective gate within a substrate and method of fabricating the same.)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

發明所屬之技術領域：

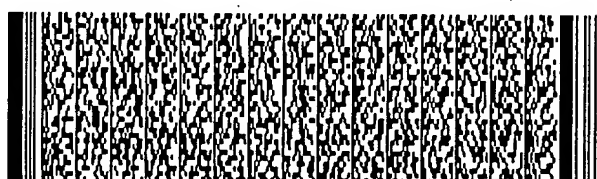
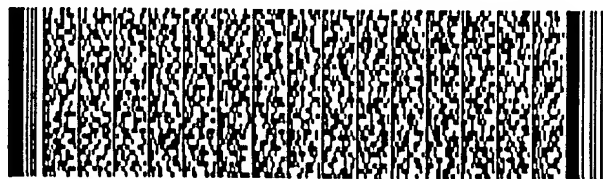
本發明係有關於一半導體裝置及其製程，特別是有關於一具有位於基底內之選擇閘極的快閃記憶體單元及其製造方法。

先前技術：

快閃記憶體(flash memory)是一種非揮發性(non-volatile)記憶體。快閃記憶體的優點是其可針對整個記憶體區塊進行抹除，且抹除速度快，約只需1至2秒。因此，近年來，快閃記憶體已被廣泛地運用於電子消費性產品，例如：數位相機、數位攝影機、行動電話、手提電腦、隨身聽、個人電子助理(PDA; personal digital assistant)等產品上。

通常，快閃記憶體單元具有兩個閘極，一為浮置閘極(floating gate)，其功用為儲存電荷之用；二為控制閘極(control gate)，其功用為控制數據的輸入和輸出。浮置閘極的位置在控制閘極之下，由於與外部電路並沒有連接而處於浮置狀態。控制閘極則通常與字元線(word line)連接。

而對於快閃記憶單元之抹除、寫入、讀取等操作，係包含將電子注入浮置閘極、或者將電子自浮置閘極移除等動作。而對於控制閘極、源極、汲極以及基底施加不同之電壓組合，便可控制此記憶單元之抹除、寫入、讀取操作。而為能提升記憶單元的操作效能，有時會採用分離閘極結構。

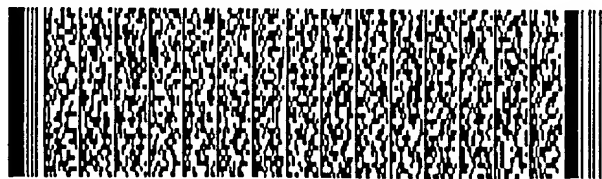


五、發明說明 (2)

請參照第1圖，係顯示設置於一p型半導體基底12上具有經n型摻雜之源極20及汲極22的習知快閃記憶體單元10之示意圖。於基底12與控制閘極16間設置有一浮置閘極14，上述兩閘極皆層疊於源極20以及源極20及汲極22間之部份閘通道區域上。除此之外，作為定址電極(addressing electrode)用途之一選擇閘極18更形成於控制閘極16上且部份覆蓋於未為浮置閘極14與控制閘極16所覆蓋之閘通道上。於抹除此快閃記憶體單元10時，可於控制閘極16上施加一高電壓(約50伏特)將儲存於浮置閘極14內之電荷藉由Fowler-Nordheim隧穿效應穿過此些閘極間之介電層(未繪示)移除。由於選擇閘極18的存在，當浮置閘極14被過度抹除時，選擇閘極18將會關閉此記憶單元而不會造成於此快閃記憶體單元10內之漏電流形成，可有效避免快閃記憶體單元10遭過度抹除之問題，並提升快閃記憶體單元抹除及寫入之次數。而第1圖所示之由一浮置閘極14以及一選擇閘極18串聯之結構即為所謂之分離閘極結構。

由於上述具有分離閘極結構之快閃記憶體單元之選擇閘極至少必須能覆蓋汲極(或源極)與浮接閘極間之距離，使得其記憶單元較不具有選擇閘極之快閃記憶體單元具有較大之元件尺寸，相較於當今半導體工業中所強調之元件縮小化及積集度提升等元件的設計理念，上述分離閘極結構並不符合現今半導體工業中元件縮小化之設計趨勢。

發明內容：



五、發明說明 (3)

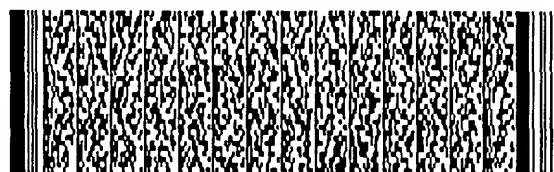
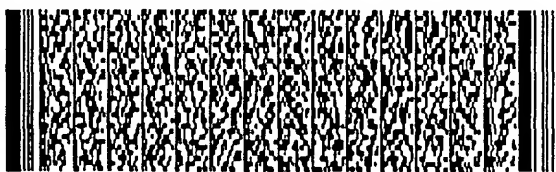
有鑑於此，本發明的主要目的就是提供一種具有較小元件尺寸之快閃記憶體單元及其製作方法，其具有一位於基底內之選擇閘極，可有效防止快閃記憶體單元過度抹除問題，並可提升快閃記憶體單元於晶圓上之積集度，符合現今半導體工業中元件縮小化之趨勢。

為達上述目的，本發明提供了一種具有位於基底內之選擇閘極的快閃記憶體單元，包括：

一半導體基底；一浮置閘極，設置於上述半導體基底上；一字元線，沿一第一方向延伸並覆蓋於浮置閘極及鄰近之半導體基底上；一溝槽，設置於鄰近上述字元線之一側邊之半導體基底內；一選擇閘極，垂直地設置於上述溝槽內並部分覆蓋於浮置閘極上；一源極，設置於鄰近為字元線所覆蓋之浮置閘極另一側之半導體基底內；以及一汲極，設置於選擇閘極下方之半導體基底內。

此外，本發明亦提供了上述快閃記憶體單元之製造方法，其步驟包括：

提供一半導體基底；依序沉積一第一介電層以及一第一導電層於上述半導體基底上；定義第一導電層，以形成沿第一方向延伸之一主動區域；依序沉積一第二介電層、一第二導電層以及一上蓋層於半導體基底上並覆蓋上述主動區域；定義上蓋層及第二導電層以形成沿第二方向延伸之一字元線圖案，並部份覆蓋於上述主動區域上；形成一對第一間隔物分別位於字元線圖案之兩側以構成一字元線，並以字元線為蝕刻罩幕，蝕刻未為字元線所覆蓋之第



五、發明說明 (4)

二介電層及第一導電層，以形成位於上述字元線下方主動區域內之一浮置閘極；蝕刻字元線一側之半導體基底，以於字元線一側之半導體基底內形成一溝槽；形成一汲極於溝槽底部之半導體基底內；依序形成一第三介電層及一第三導電層覆蓋於上述溝槽之側壁及部份底面上並部份覆蓋於浮置閘極上以構成垂直地設置於該溝槽內之一選擇閘極；以及形成一源極於字元線另一側之半導體基底內，並與浮置閘極形成電性接觸。

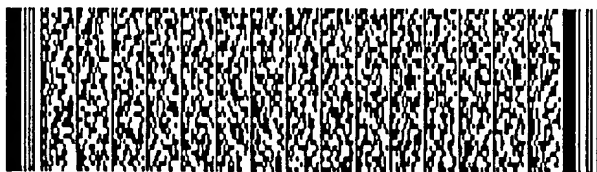
由於本發明之具有位於基底內之選擇閘極的快閃記憶體單元，將作為定址電極之用的選擇閘極垂直地設置於鄰近於控制閘極之一溝槽內，可有效縮小快閃記憶體單元之元件尺寸並提升快閃記憶體單元於晶圓上之積集度。此外，採用具有選擇閘極之分離閘極結構，亦可有效防止快閃記憶體單元之過度抹除問題，可提升快閃記憶體單元抹除及寫入之次數。

為讓本發明之上述目的、特徵及優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

實施方式：

第2A~2L圖至第3A~3F圖顯示依據本發明一較佳實施例中之具有位於基底內之選擇閘極的快閃記憶體單元的製造方法之流程圖，其中第2A至2L圖為分別沿著A-A'切線及B~B'切線而視之剖面圖，第3A至3F圖為相對應之俯視圖。

請同時參照第2A、2B及3A圖，首先提供一半導體基

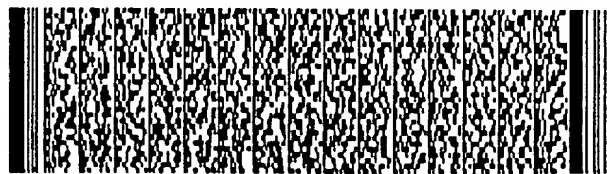


五、發明說明 (5)

底，例如為一p型矽基底100。在此，於矽基底100內已設置有複數個等距且平行地排列之隔離區102，此些隔離區102係為藉由如習知淺溝槽隔離物(shallow trench isolation; STI)製作技術所形成之絕緣層。而位於此些隔離區102間之矽基底100則如第3A圖中之俯視情形所示，具有為鄰近隔離區102所圍繞而成之複數個十字形表面。而此時第3A圖中之A~A'切線以及B~B'切線內之側視結構則如第2A及2B圖內所示。

請同時參照第2C、2D及3B圖，接著依序毯覆性地沉積的第一介電層104及第一導電層106覆蓋於矽基底100上。並經由一微影及蝕刻程序(未顯示)，定義第一導電層106並蝕刻停止於第一介電層104上，以形成複數個沿第一方向(如第3B圖內平行於A~A'切線之方向)延伸之主動區域AA。此些主動區域AA係覆蓋於隔離區102所圍繞而成具有十字形表面之矽基底100之第一方向上之表面並部份覆蓋於主動區域AA兩側鄰近之隔離區102上。在此，第一介電層104為厚度介於85~100埃之二氧化矽以作為一隧穿氧化層(tunneling oxide)之用，其形成方法例如為化學氣相沉積法。而第一導電層106例如是厚度介於400~700埃之複晶矽，其形成方法例如為化學氣相沉積法。

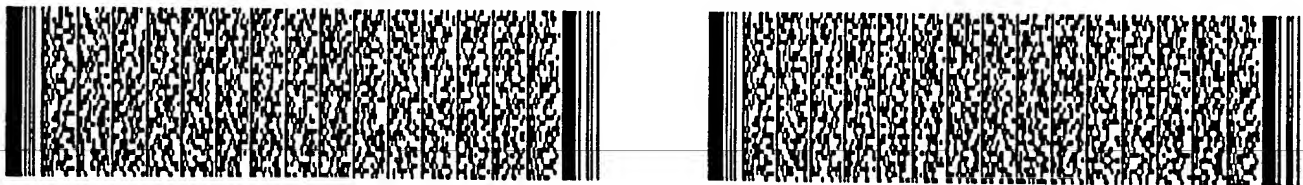
接著，依序沉積第二介電層108、第二導電層110以及上蓋層112覆蓋於主動區域AA以及未為主動區域AA覆蓋之第一介電層104上。並經由一微影及蝕刻程序(未顯示)，定義上述上蓋層112以及第二導電層110以形成複數個沿第



五、發明說明 (6)

二方向(如第3B圖內垂直於A~A'切線之方向)延伸且部份覆蓋於與主動區域AA上之字元線圖案WL'，並蝕刻停止於第二介電層108上。在此，此上蓋層112例如是厚度介於500~1500埃之氮化矽，其形成方法例如為化學氣相沉積法；而第二介電層108例如是習知之二氧化矽-氮化矽-二氧化矽(ON0)之複合層或二氧化矽，其厚度約介於150~250埃，其形成方法例如為化學氣相沉積法，其用途係作為一閘極間介電層(inter-gate dielectric)之用。而第二導電層110例如是厚度介於600~2000埃之複晶矽，其形成方法則例如為化學氣相沉積法。此時之俯視情形請參照第3B圖，而第3B圖內之A~A'及B~B'切線之側視結構則如第2C及2D圖內所顯示。

請同時參照第2E、2F及3C圖，接著採用習知之沉積-回蝕刻方法，於字元線圖案WL'兩側分別形成一第一間隔物114，其材質例如為氮化矽。而此些字元線圖案WL'並與其兩側之第一間隔物114進一步構成了字元線WL。接著，以此些字元線WL為蝕刻罩幕，進行一乾蝕刻程序116以於主動區域AA內定義出為字元線WL所覆蓋之複數個浮置閘極FG並蝕刻去除未為字元線WL覆蓋之第二介電層108及第一導電層106材料並蝕刻停止於第一介電層104上。值得注意的，於上述乾蝕刻程序116中，未為字元線WL所覆蓋區域內之第二介電層108雖已蝕刻完畢，但於定義第一導電層106之過程中，無可避免地將蝕刻位於主動區域AA間區域內之第一介電層104及其下之矽基底100，並於乾蝕刻程序



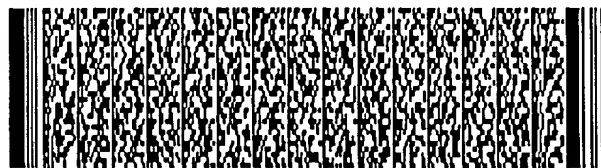
五、發明說明 (7)

116 完成後，於主動區域AA間之矽基底100內形成一距矽基底100表面深度約為500~1000埃之第一溝槽118。在此，覆蓋於浮置閘極FG上方之字元線WL部份即作為控制閘極之用。此時之俯視情形請參照第3C圖，而第3C圖內之A~A'及B~B'切線之側視結構則如第2E及2F圖內所顯示。

請同時參照第2G、2H及3D圖，接著形成一如光阻材質之罩幕圖案120覆蓋於設置於相同隔離區102上之兩鄰近字元線WL。然後以罩幕圖案120為一蝕刻罩幕，進行一蝕刻程序(未顯示)以蝕刻兩鄰近罩幕圖案120間露出之矽基底100及先前形成於兩主動區域AA間矽基底100內之第一溝槽118，以於此些字元線WL一側之矽基底100內形成與平行於字元線WL之溝槽T。值得注意的，在此溝槽T係由位於主動區域AA內深度介於800~1200埃之第二溝槽122與兩主動區域AA間且經上述蝕刻程序加深至具有介於1300~2500埃深度之第一溝槽118'所連接而成。

接著，進行一斜角度(介於7~30度)之臨界電壓離子佈植程序124以及一0度角之汲極離子佈植程序126，以分別調整溝槽T(即第一溝槽118'以及第二溝槽122)側壁之臨界電壓及於溝槽T(即第一溝槽118'以及第二溝槽122)底部形成汲極(未顯示)。此時之俯視情形請參照第3D圖，而第3D圖內之A~A'及B~B'切線之側視結構則如第2G及2H圖內所顯示。

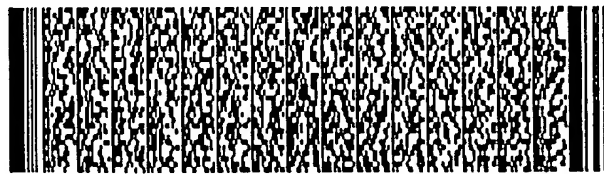
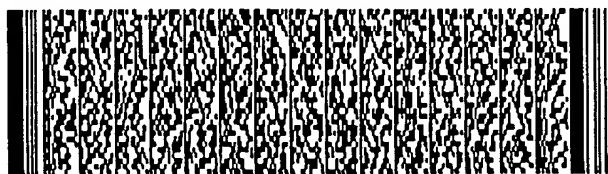
請同時參照第2I、2J及3E圖，於去除罩幕圖案120後，利用一熱退火程序(未顯示)以於溝槽T下方之基底100



五、發明說明 (8)

內形成汲極D。接著更利用一熱氧化程序(未顯示)以於溝槽T表面形成一二氧化矽材質之第三介電層128且同時於浮置閘極FG內之第一導電層106之兩側邊形成一氧化層130，其寬度約介於130~300埃，而第三介電層128之厚度則約介於120~200埃。接著採用習知之沉積-回蝕刻方法，於字元線WL兩側分別形成一第三導電層132，其材質例如為複晶矽，其水平厚度約介於200~500埃。上述第三導電層132部份覆蓋於溝槽T內之第三介電層128上並接觸字元線WL及構成浮置閘極FG之第一導電層106側邊上之氧化層130。接著更形成一如光阻材質之罩幕圖案134覆蓋於溝槽T以及鄰近溝槽T之兩字元線WL上。然後以罩幕圖案134為一蝕刻罩幕，利用一乾蝕刻程序(未顯示)蝕刻去除設置於相同隔離區102上之兩鄰近字元線WL間的第三導電層132，以留下位於溝槽T內且平行於字元線方向延伸之由第三介電層128及第三導電層132所構成之選擇閘極SG。接著更以罩幕圖案134為一離子佈植罩幕，施行一源極離子佈植程序136以於設置於相同隔離區102上之兩鄰近字元線WL間的基底100內形成一源極S。此時之俯視情形請參照第3E圖，而第3E圖內之A~A'及B~B'切線之側視結構則如第2I及2J圖所顯示。

請同時參照第2K、2L及3F圖，於去除罩幕圖案134後，接著採用習知之沉積-回蝕刻方法，於此些字元線WL兩側分別依序形成一第二間隔物138以及一第三間隔物140並覆蓋於溝槽T內之第三導電層132上，其材質分別例如為二氧化矽及氮化矽。然後毯覆性地沉積一層間介電層142



五、發明說明 (9)

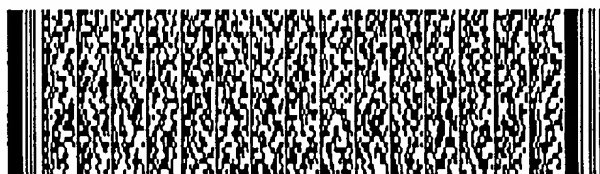
填入於溝槽T及覆蓋於字元線WL上。接著並經由一微影蝕刻程序以於適當位置形成複數個沿第一方向(例如為垂直於字元線WL之方向)延伸且由一如金屬材質之導電材料所構成之位元線WL及接觸結構(在此以一金屬層144表示)以接觸溝槽T內之汲極D。至此，本發明之快閃記憶體單元已大體完成，此時之俯視情形請參照第3F圖，而第3F圖內之A~A'及B~B'切線之側視結構則如第2K及2L圖所顯示。

請參照第2K圖，係顯示本發明之具有位於基底內之選擇閘極的快閃記憶體單元，其構造包括：

半導體基底(矽基底100)；浮置閘極(為字元線所覆蓋之第一介電層104及第一導電層106)設置於半導體基底上；字元線(由上蓋層112、第二導電層110、第二介電層108及第一間隔物114所構成)分別地覆蓋於各浮置閘極上；溝槽(先前之溝槽T)，設置於鄰近字元線之一側之半導體基底內；選擇閘極(由第三導電層132及第三介電層128所構成)，垂直地設置於溝槽內並部份覆蓋於浮置閘極上；源極S，設置於鄰近浮置閘極另一側之半導體基底內；以及汲極D，設置於選擇閘極下方之半導體基底內。

相較於第1圖內之習知具有分離閘極結構之快閃記憶體單元，本發明之具有位於基底內之選擇閘極的快閃記憶體單元具有以下特點：

1. 本發明之快閃記憶體單元，將作為定址電極之用的選擇閘極垂直地設置於鄰近於控制閘極之一溝槽內，具有縮小快閃記憶體單元之元件尺寸之功效，可更提升快閃記

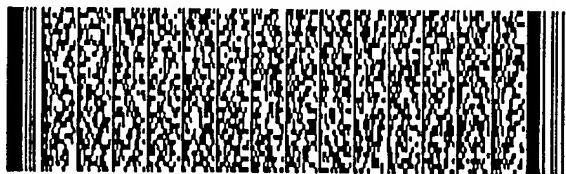


五、發明說明 (10)

憶體單元於晶圓上之積集度。

2. 此外，本發明之快閃記憶體單元，採用具有選擇閘極之分離閘極結構，亦具有防止快閃記憶體單元之過度抹除之功效，以提供具有較多次抹除及寫入之次數之快閃記憶體單元。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

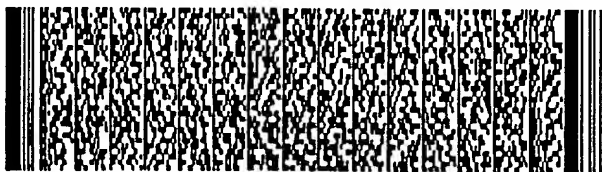
第1圖為一側視示意圖，用以說明習知中一具有分離閘極結構之快閃記憶體單元。

第2A~2L圖為一系列側視圖，用以說明本發明之具有位於基底內之選擇閘極的快閃記憶體單元的製作流程。

第3A~3F圖為一系列俯視圖，用以說明相對應第2A~2L圖中之俯視情形。

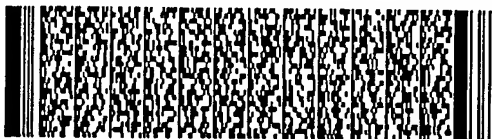
相關符號說明：

- 10~記憶體單元；
- 12~基底；
- 16~控制閘極；
- 14、FG~浮置閘極；
- 18、SG~選擇閘極；
- 20、S~源極；
- 22、D~汲極；
- 100~矽基底；
- 102~隔離區；
- 104~第一介電層；
- 106~第一導電層；
- 108~第二介電層；
- 110~第二導電層；
- 112~上蓋層；
- 114~第一間隔物；
- 116~乾蝕刻程序；
- 118、118'~第一溝槽；



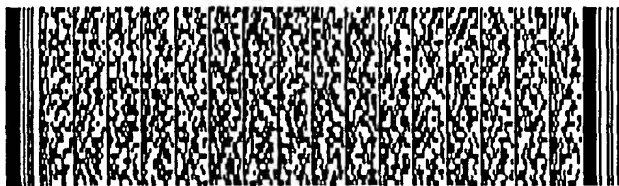
圖式簡單說明

- 120、134~ 罩 幕 圖 案 ；
- 122~ 第 二 溝 槽 ；
- 124~ 臨 界 電 壓 離 子 佈 植 程 序 ；
- 126~ 汲 極 離 子 佈 植 程 序 ；
- 128~ 第 三 介 電 層 ；
- 130~ 氧 化 層 ；
- 132~ 第 三 導 電 層 ；
- 136~ 源 極 離 子 佈 植 程 序 ；
- 138~ 第 二 間 隔 物 ；
- 140~ 第 三 間 隔 物 ；
- 142~ 層 間 介 電 層 ；
- 144~ 金 屬 層 ；
- WL' ~ 字 元 線 圖 案 ；
- WL ~ 字 元 線 ；
- BL ~ 位 元 線 ；
- T ~ 溝 槽 。



六、申請專利範圍

1. 一種具有位於基底內之選擇閘極的快閃記憶體單元，包括：
 - 一半導體基底；
 - 一浮置閘極，設置於該半導體基底上；
 - 一字元線，沿一第一方向延伸並覆蓋於該浮置閘極及鄰近之半導體基底上；
 - 一溝槽，設置於鄰近該字元線之一側邊之該半導體基底內；
 - 一選擇閘極，垂直地設置於該溝槽內並部分覆蓋於該浮置閘極上；
 - 一源極，設置於鄰近為該字元線所覆蓋之浮置閘極另一側之該半導體基底內；以及
 - 一汲極，設置於該選擇閘極下方之半導體基底內。
2. 如申請專利範圍第1項所述之具有位於基底內之選擇閘極的快閃記憶體單元，其中該浮置閘極係由一第一介電層以及一第一複晶矽層依序堆疊於該半導體基底上所構成。
3. 如申請專利範圍第2項所述之具有位於基底內之選擇閘極的快閃記憶體單元，其中於該第一複晶矽層兩側邊上更分別設置有具有寬度介於130~200埃之氧化層，且該等氧化層之一接觸於該選擇閘極。
4. 如申請專利範圍第1項所述之具有位於基底內之選擇閘極的快閃記憶體單元，其中更包括一控制閘極，設置於覆蓋該浮置閘極之字元線內。



六、申請專利範圍

5. 如申請專利範圍第1項所述之具有位於基底內之選擇閘極的快閃記憶體單元，其中該字元線係沿第一方向延伸且由一第二介電層、一第二導電層以及一上蓋層所構成。

6. 如申請專利範圍第5項所述之具有位於基底內之選擇閘極的快閃記憶體單元，其中於該上蓋層之兩側分別設置有一第一間隔物並覆蓋於部分該第二介電層上。

7. 如申請專利範圍第1項所述之具有位於基底內之選擇閘極的快閃記憶體單元，其中該選擇閘極係由一第三介電層及一第三導電層所構成，且該第三介電層係形成於該溝槽之側壁及部分底面上。

8. 如申請專利範圍第1項所述之具有位於基底內之選擇閘極的快閃記憶體單元，其中該溝槽係沿該第一方向延伸且具有介於800~1200埃之深度。

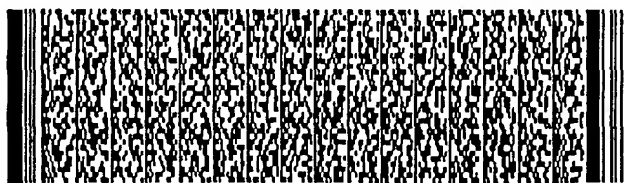
9. 如申請專利範圍第7項所述之具有位於基底內之選擇閘極的快閃記憶體單元，其中該第三介電層具有一介於120~200埃之厚度。

10. 如申請專利範圍第7項所述之具有位於基底內之選擇閘極的快閃記憶體單元，其中該第三導電層具有一介於200~500埃之厚度。

11. 一種具有位於基底內之選擇閘極的快閃記憶體單元之製造方法，包括：

提供一半導體基底；

依序沉積一第一介電層以及一第一導電層於該半導體



六、申請專利範圍

基底上；

定義該第一導電層，以形成沿第一方向延伸之一主動區域；

依序沉積一第二介電層、一第二導電層以及一上蓋層於該半導體基底上並覆蓋該主動區域；

定義該上蓋層及該第二導電層以形成沿第二方向延伸之一字元線圖案，並部份覆蓋於該主動區域上；

形成一對第一間隔物分別位於該字元線圖案之兩側以構成一字元線，並以該字元線為蝕刻罩幕，蝕刻未為該字元線所覆蓋之該第二介電層及該第一導電層，以形成位於該字元線下方主動區域內之一浮置閘極；

蝕刻該字元線一側之半導體基底，以於該字元線一側之半導體基底內形成一溝槽；

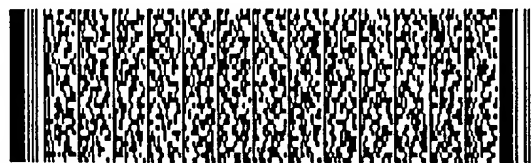
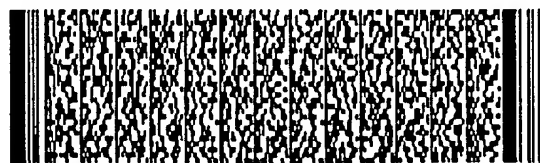
形成一汲極於該溝槽底部之半導體基底內；

依序形成一第三介電層及一第三導電層覆蓋於該溝槽之側壁及部份底面上並部份覆蓋於該浮置閘極上以構成垂直地設置於該溝槽內之一選擇閘極；以及

形成一源極於該字元線另一側之半導體基底內，並與該浮置閘極形成電性接觸。

12. 如申請專利範圍第11項所述之具有位於基底內之選擇閘極的快閃記憶體單元之製造方法，其中形成該第三介電層之方法為熱氧化法。

13. 如申請專利範圍第12項所述之具有位於基底內之選擇閘極的快閃記憶體單元之製造方法，其中於形成該第



六、申請專利範圍

三介電層時，並同時分別於構成該浮置閘極之第二導電層兩側邊形成一氧化層。

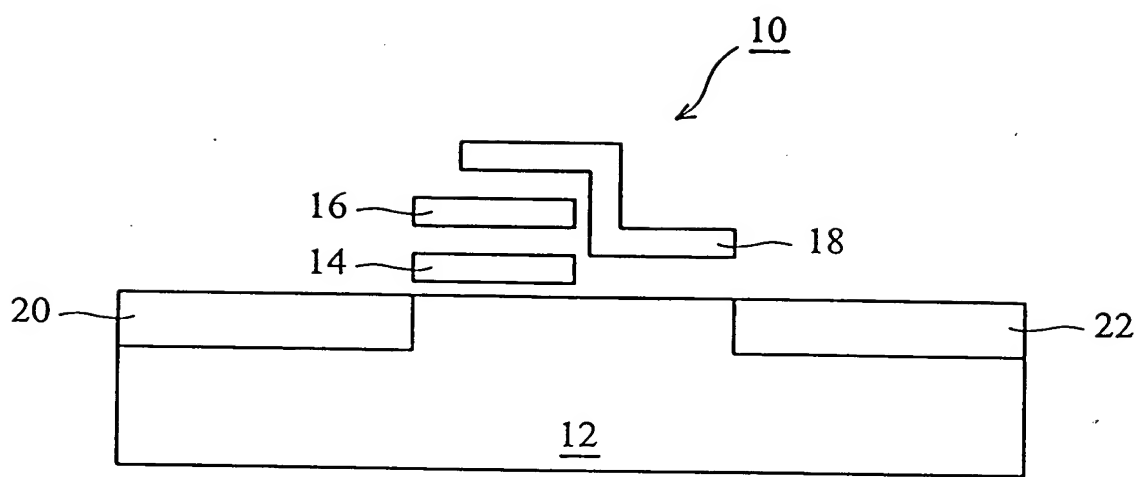
14. 如申請專利範圍第13項所述之具有位於基底內之選擇閘極的快閃記憶體單元之製造方法，其中該氧化層具有介於130~200埃之寬度。

15. 如申請專利範圍第11項所述之具有位於基底內之選擇閘極的快閃記憶體單元之製造方法，其中該溝槽深度介於800~1200埃。

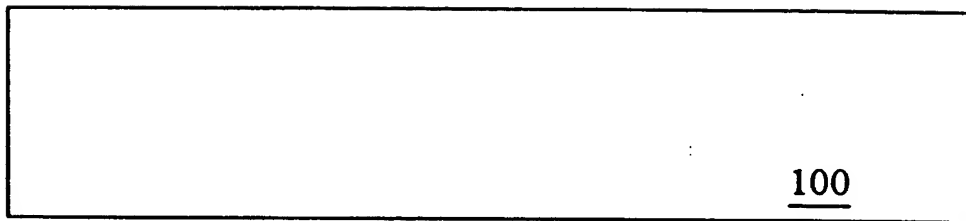
16. 如申請專利範圍第11項所述之具有位於基底內之選擇閘極的快閃記憶體單元之製造方法，其中該第一方向大體正交於該第二方向。

17. 如申請專利範圍第11項所述之具有位於基底內之選擇閘極的快閃記憶體單元之製造方法，其中該第三介電層係形成於該溝槽之側壁及部分底面上。

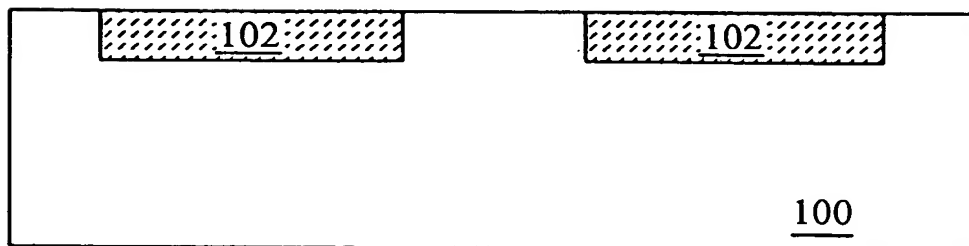




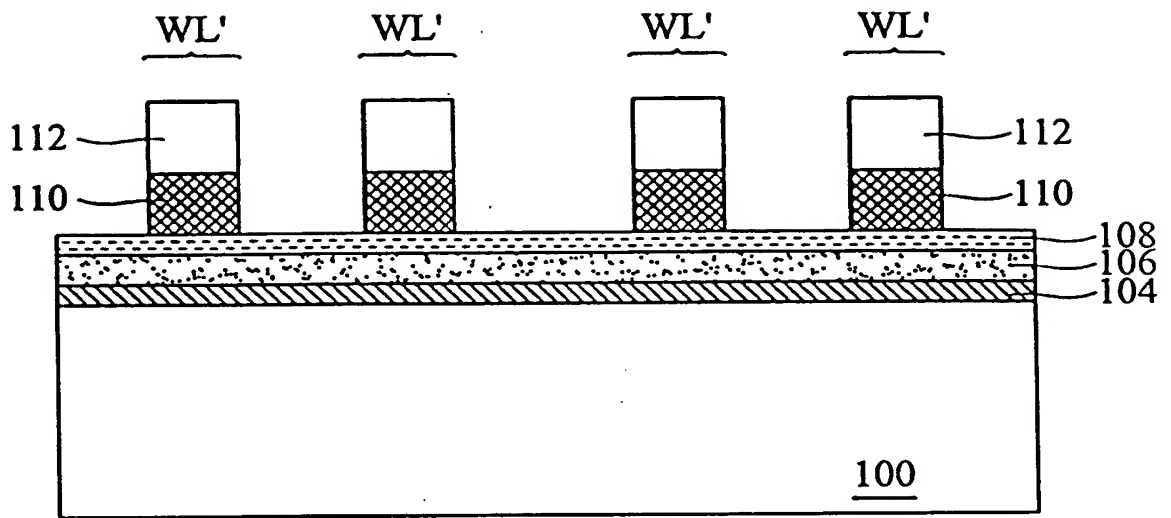
第 1 圖



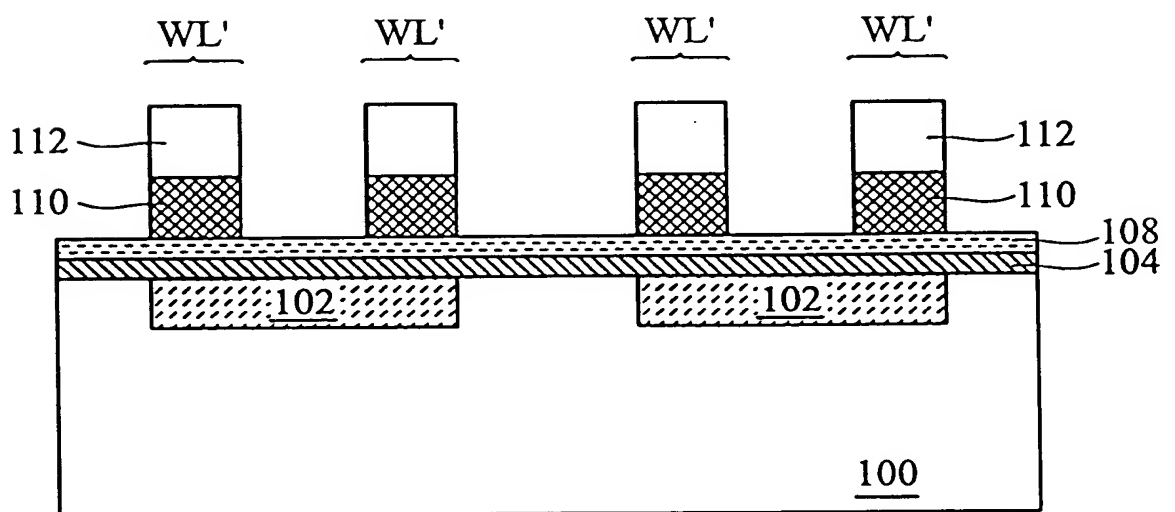
第 2A 圖



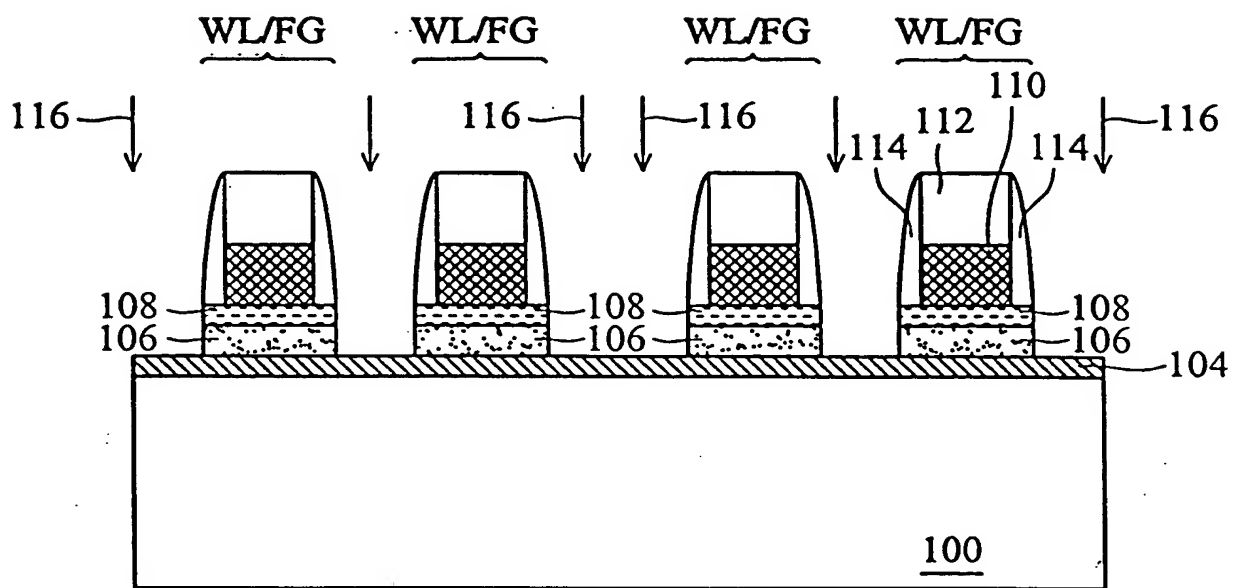
第 2B 圖



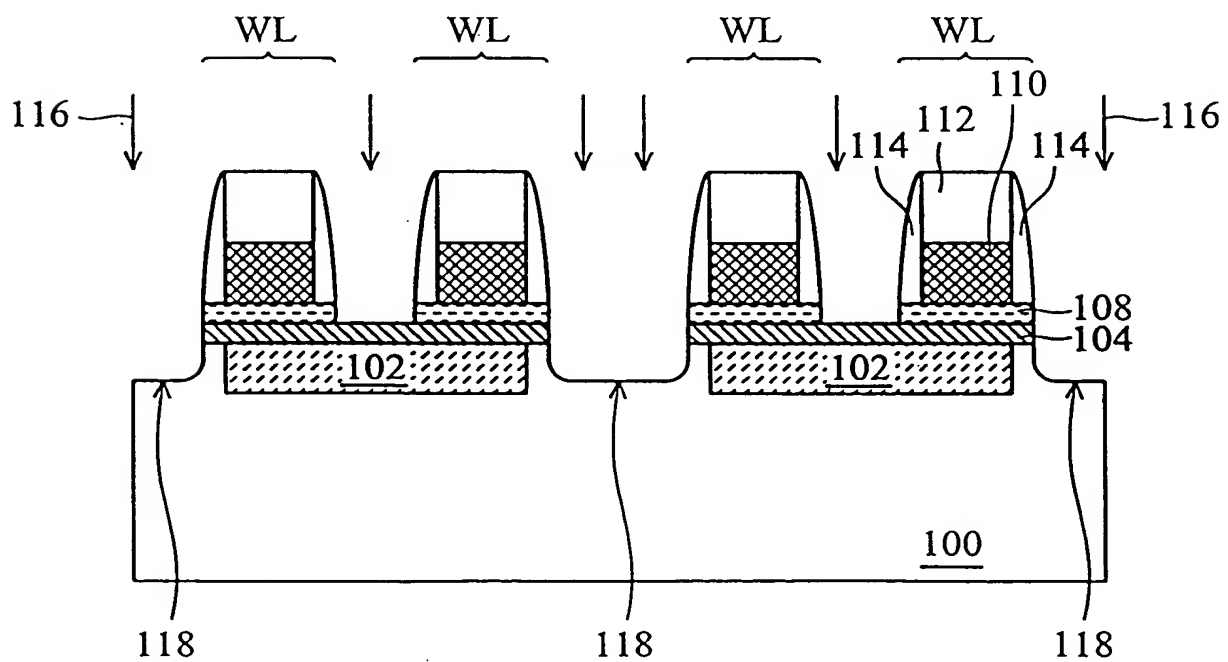
第 2C 圖



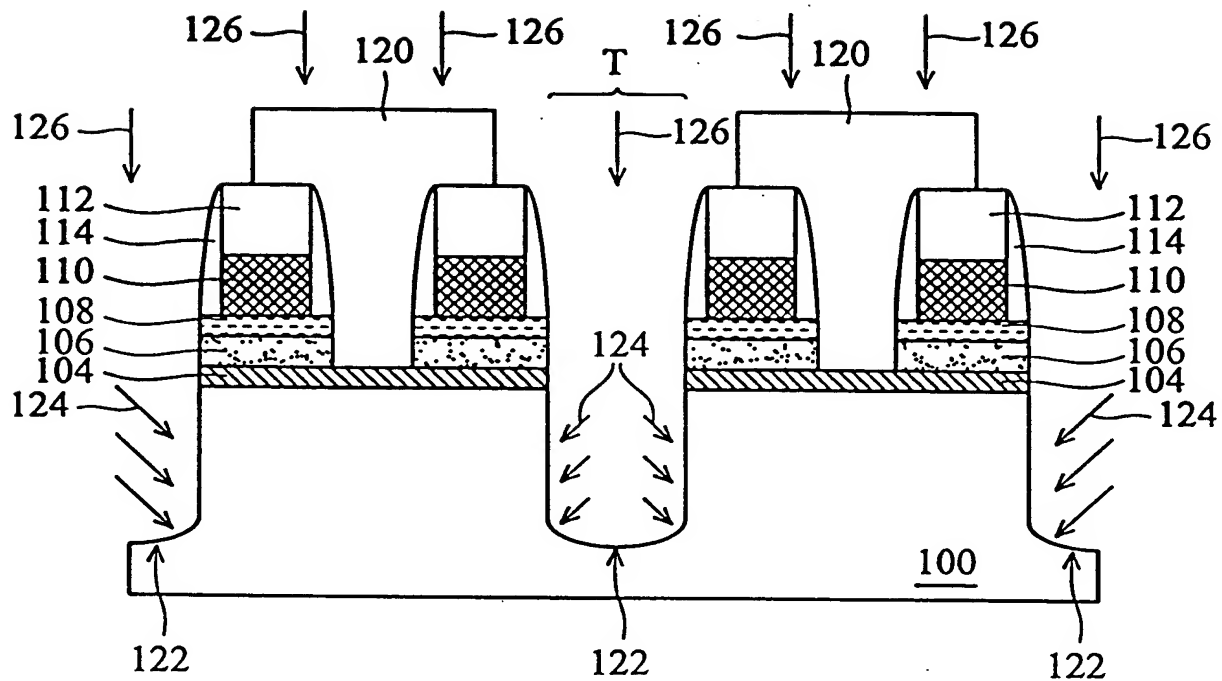
第 2D 圖



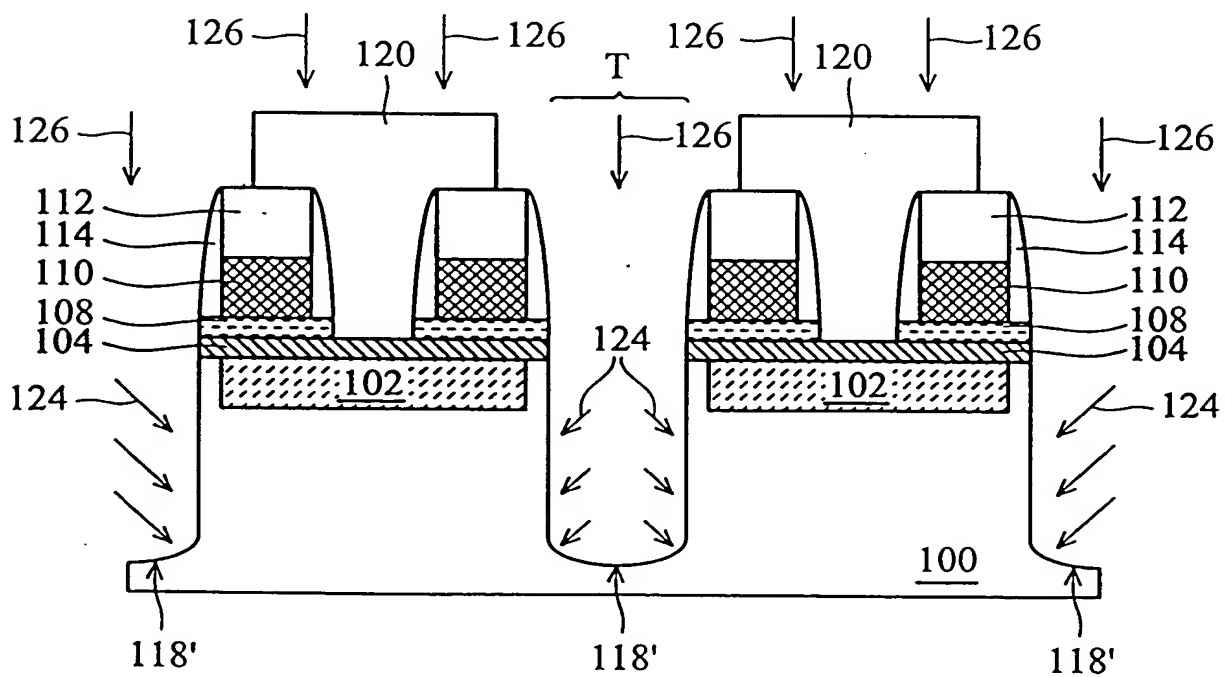
第 2E 圖



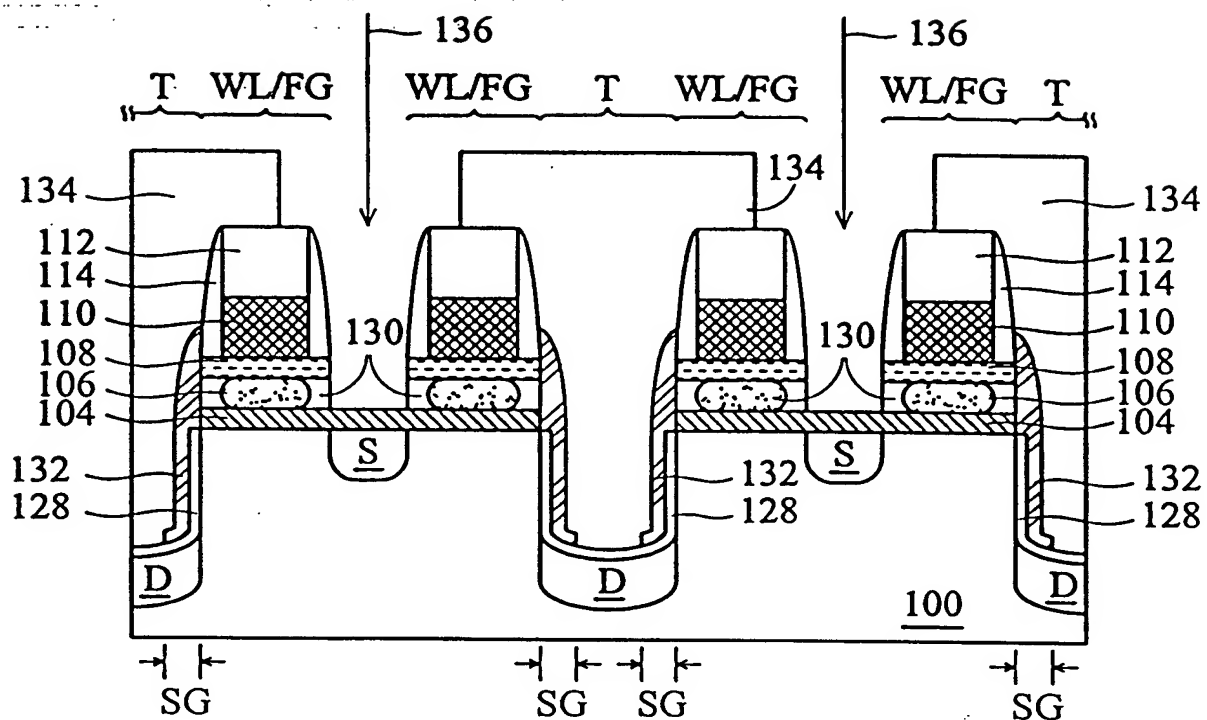
第 2F 圖



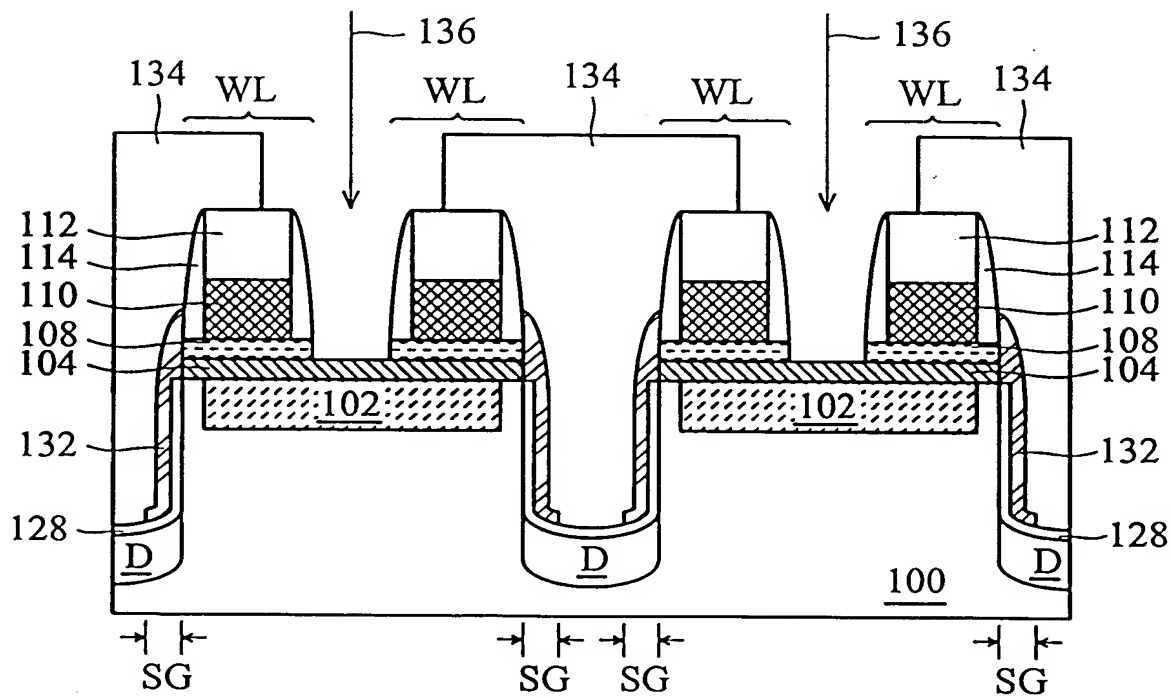
第 2G 圖



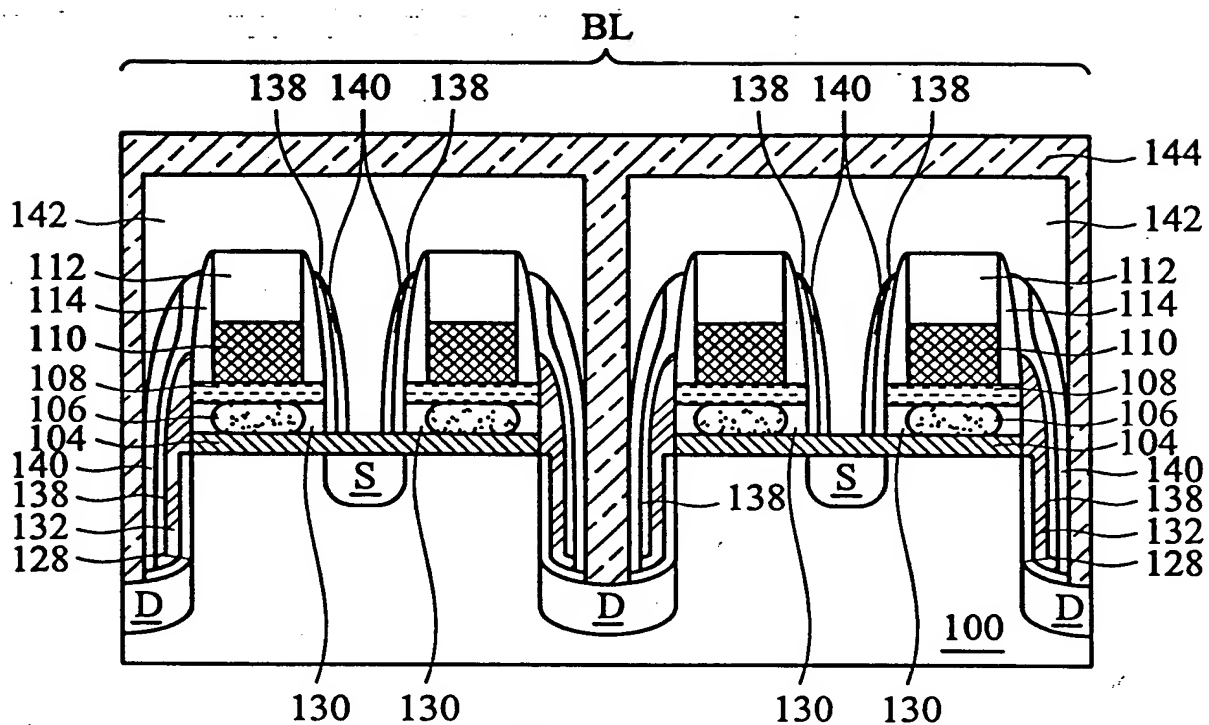
第 2H 圖



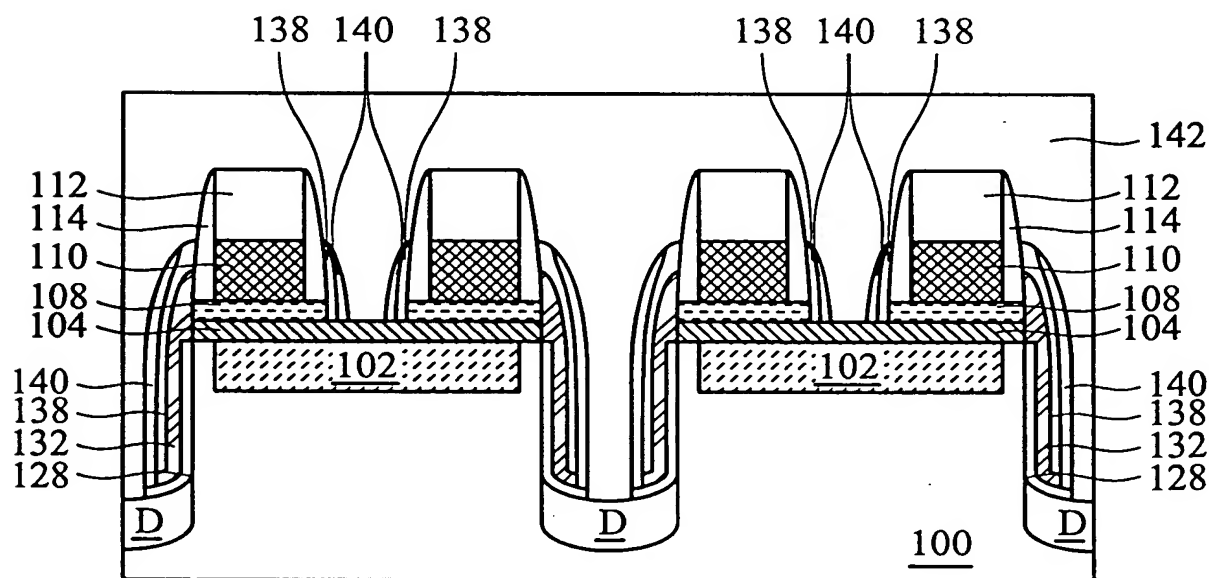
第2I圖



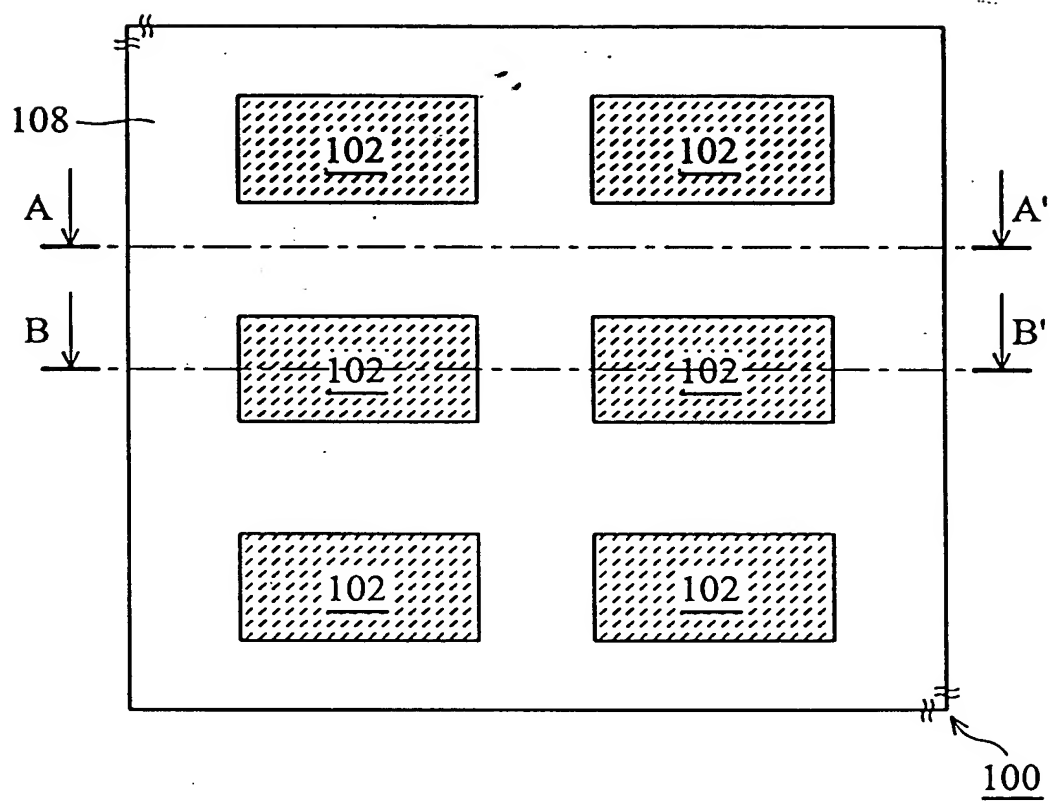
第2J圖



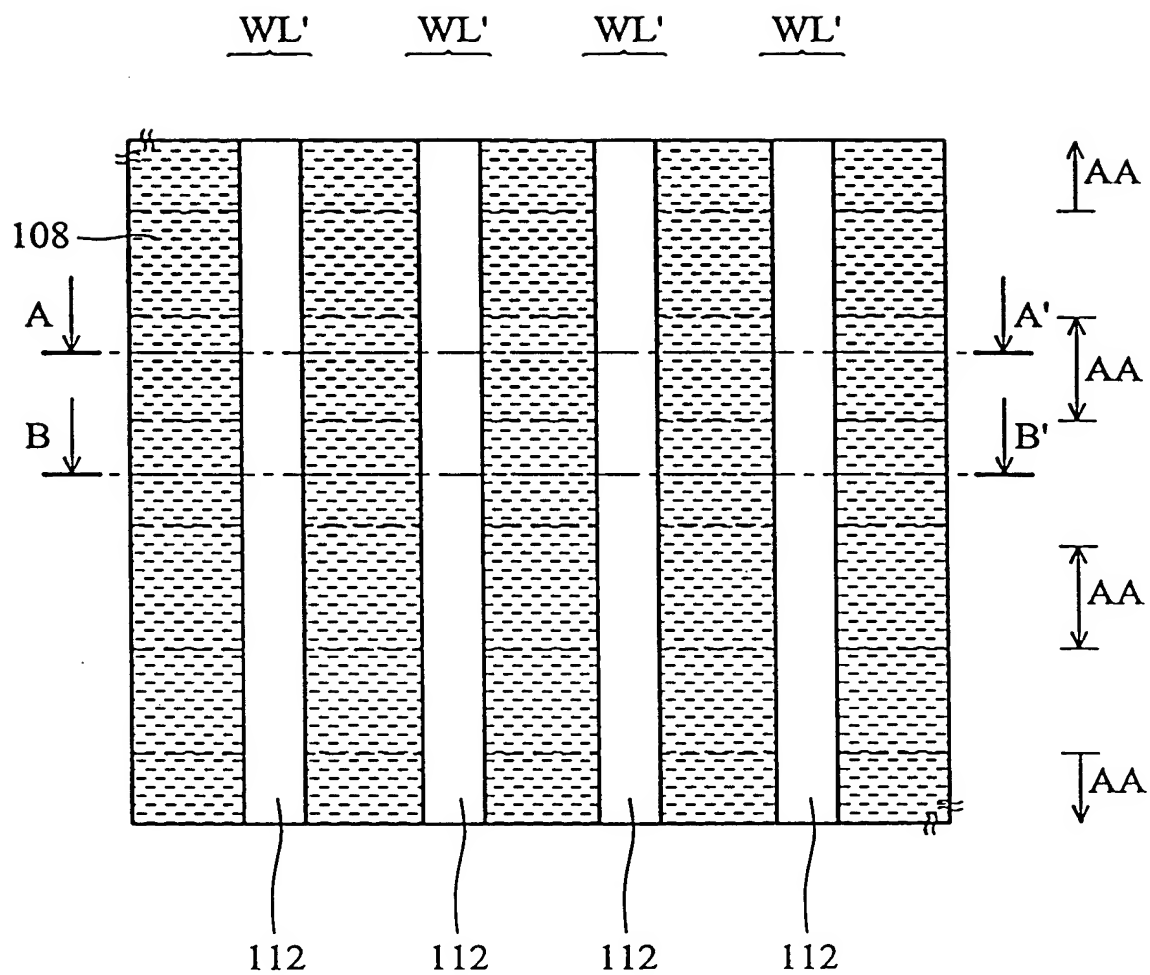
第2K圖



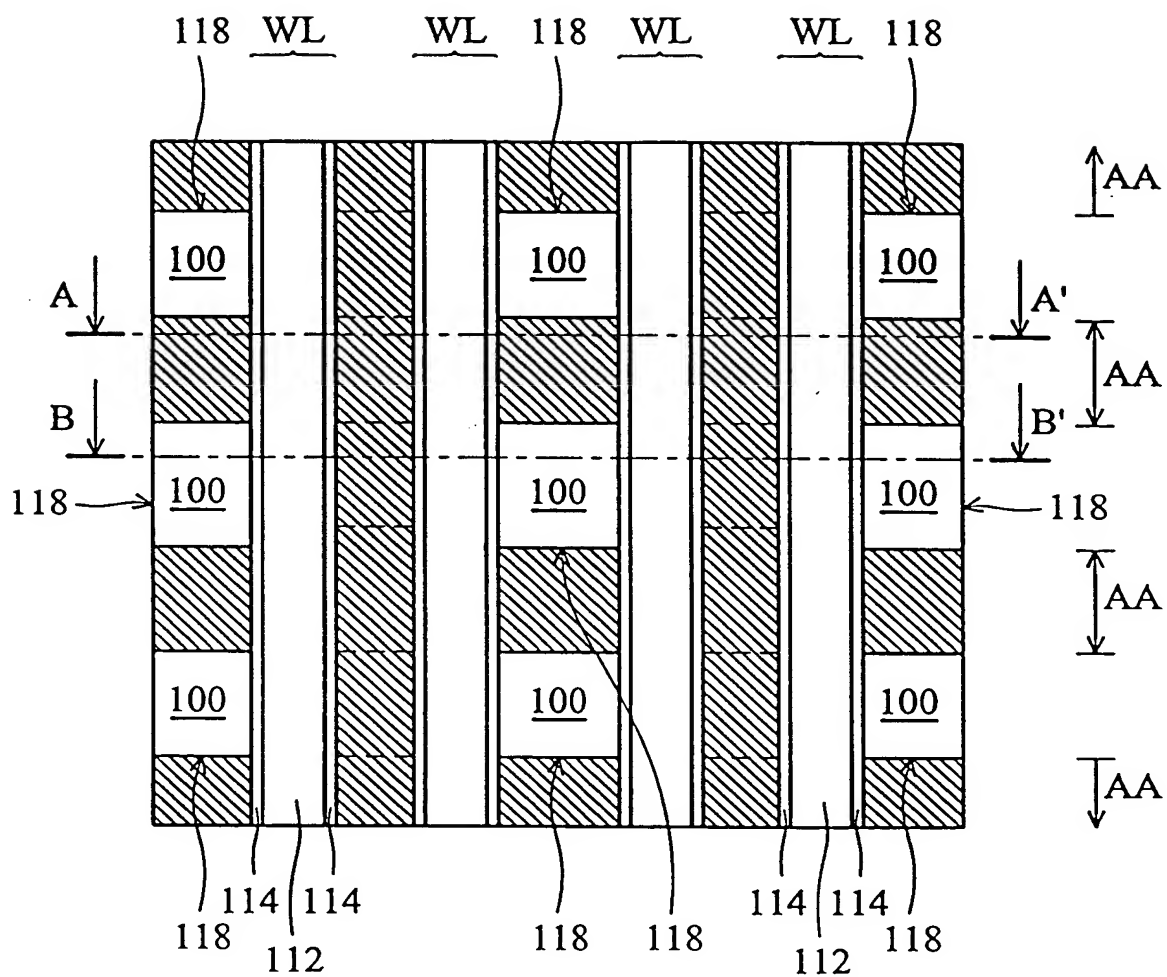
第2L圖



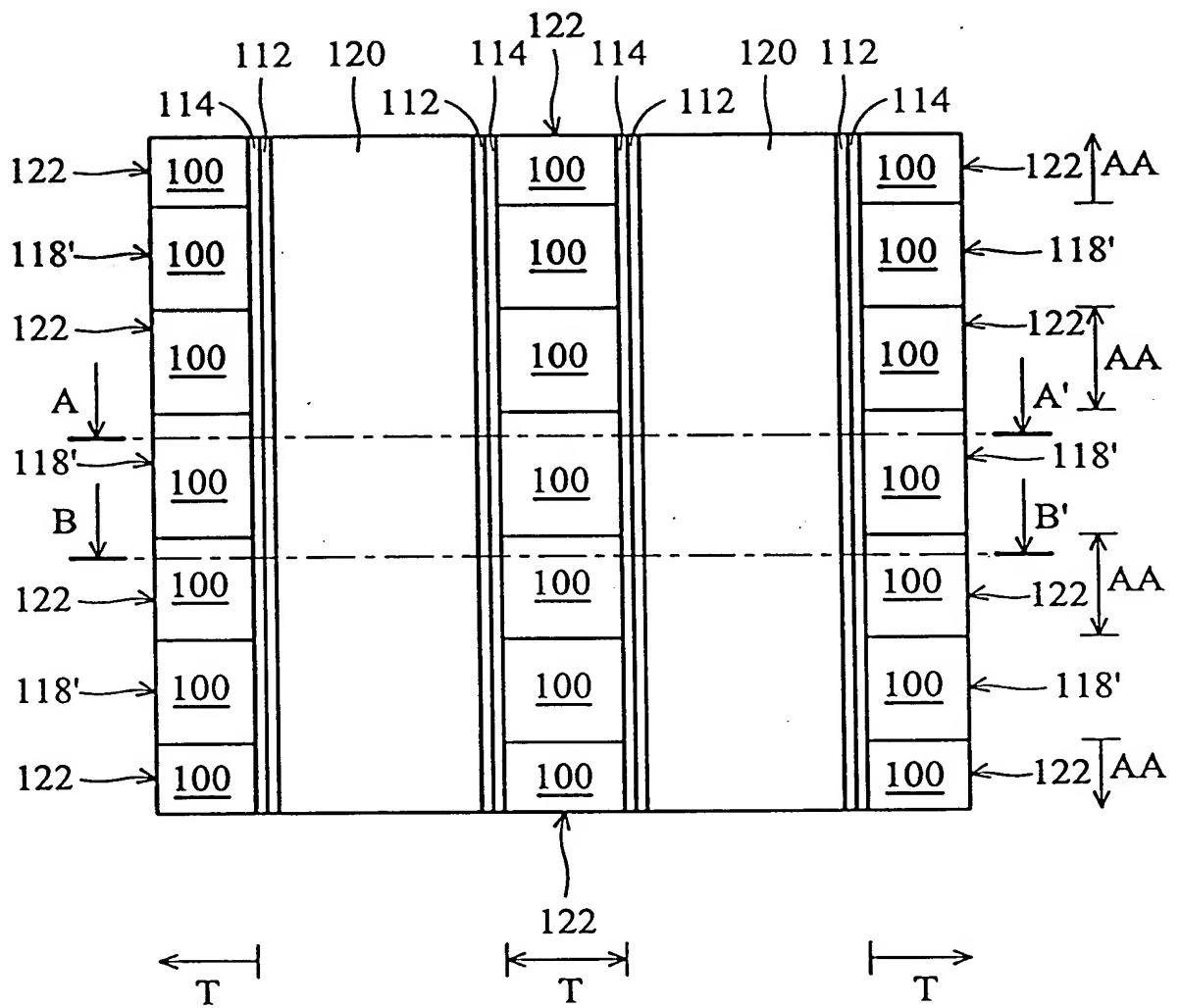
第 3A 圖



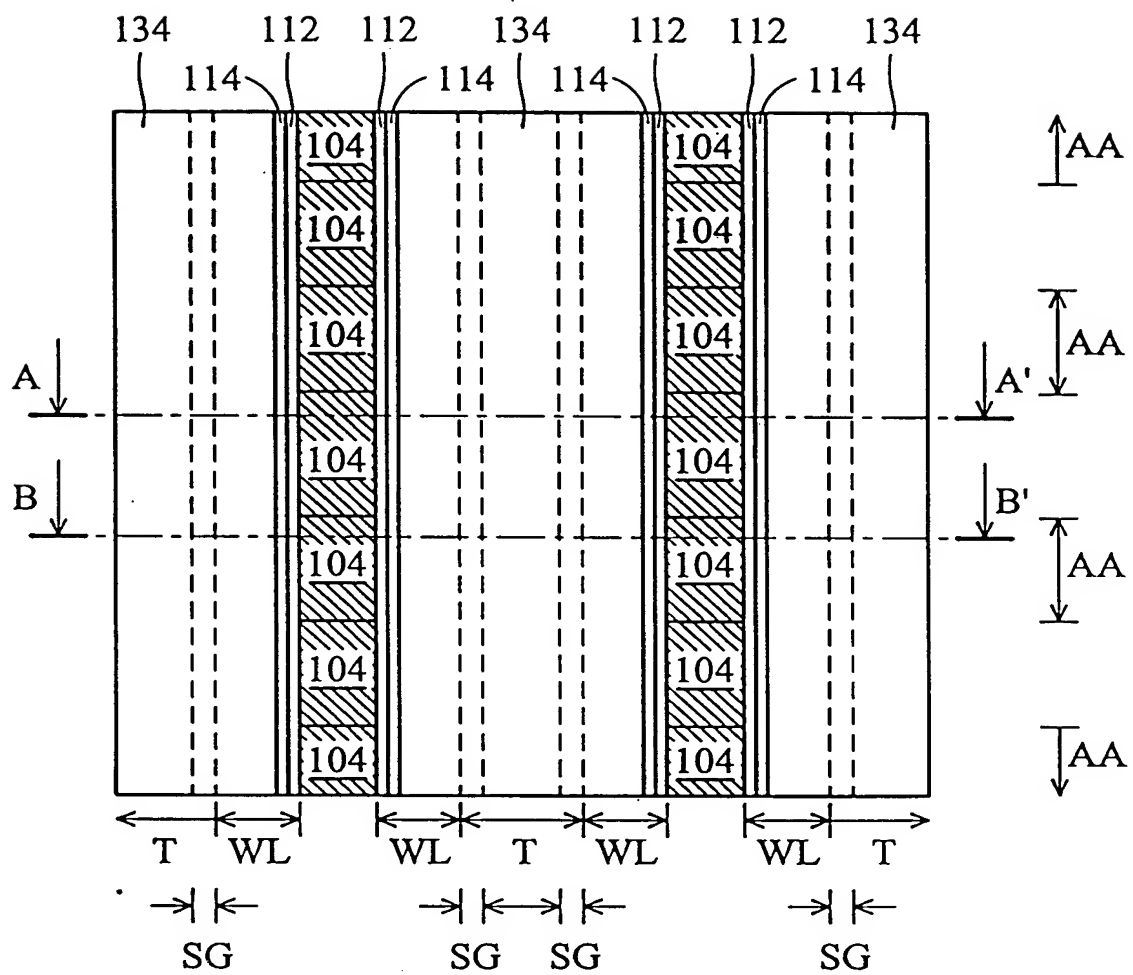
第 3B 圖



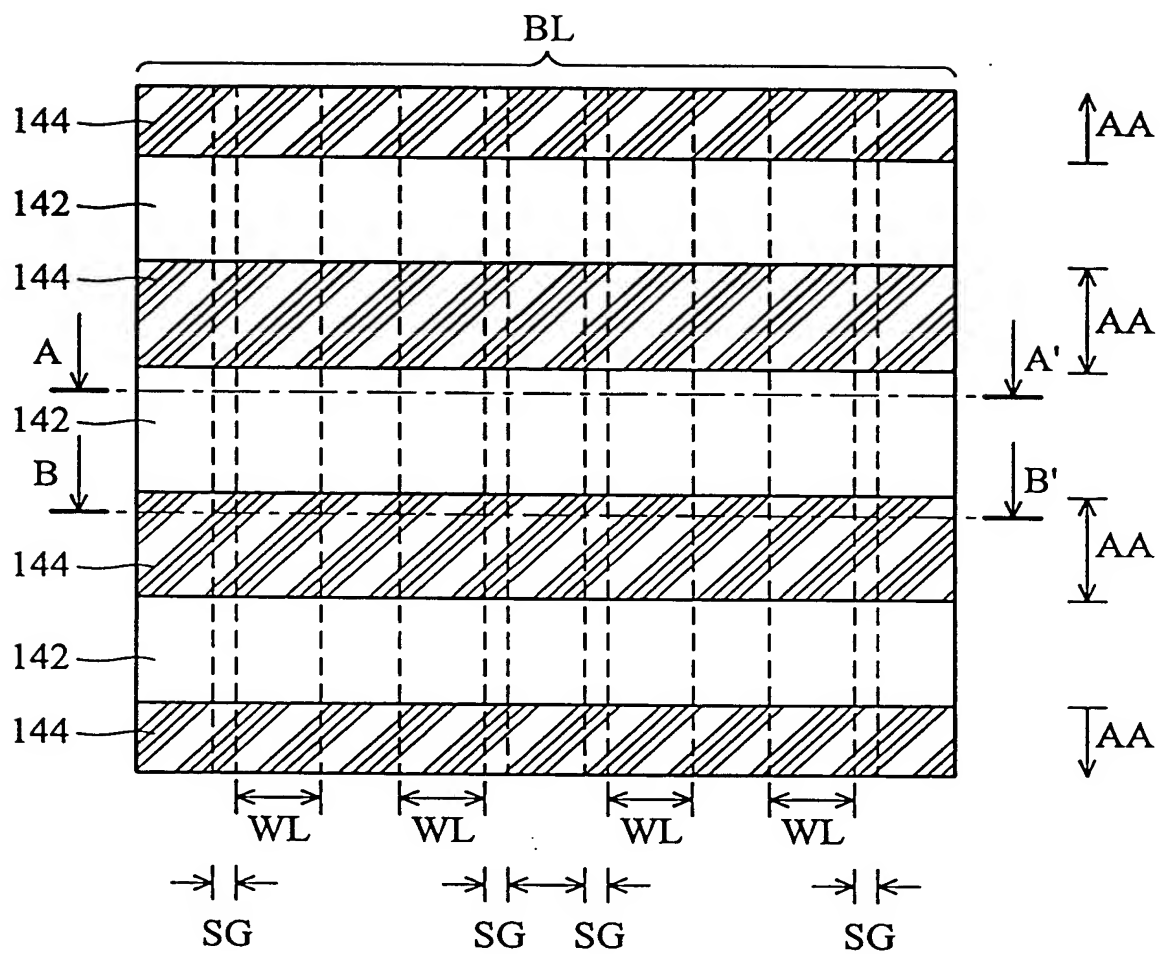
第 3C 圖



第 3D 圖






第3E圖



第3F圖



100

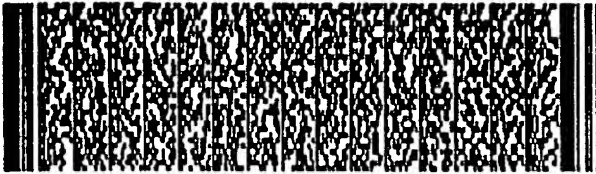


100

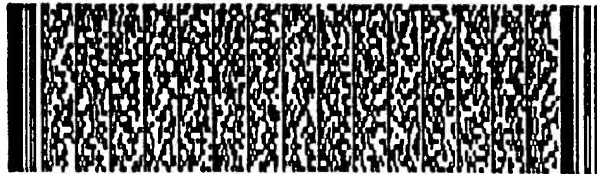


100

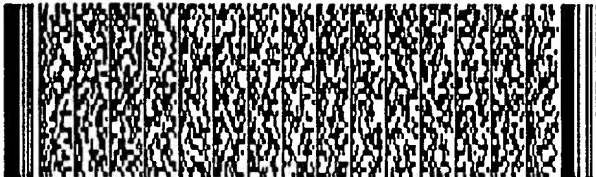
第 11/22 頁



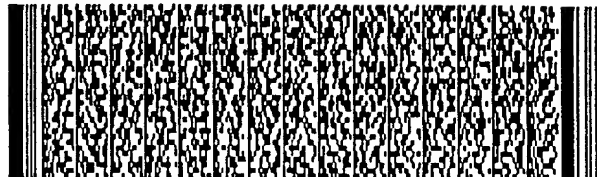
第 11/22 頁



第 12/22 頁



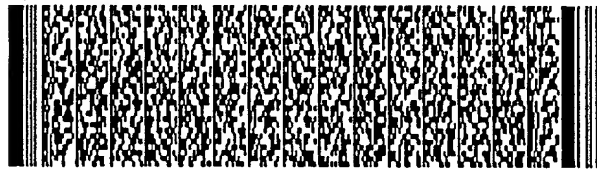
第 12/22 頁



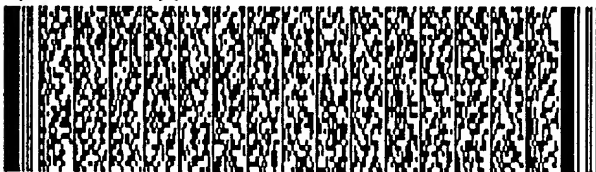
第 13/22 頁



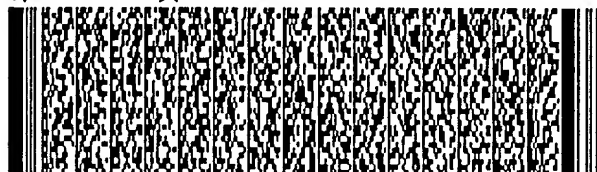
第 13/22 頁



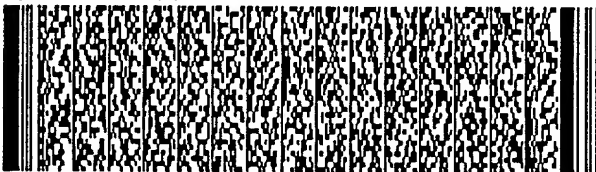
第 14/22 頁



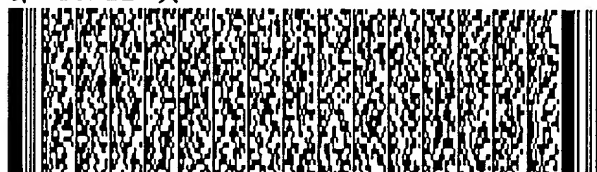
第 14/22 頁



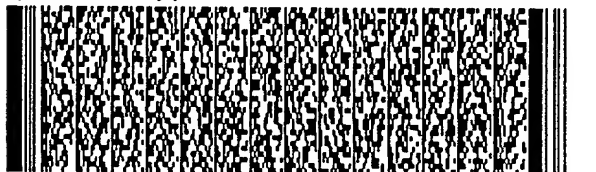
第 15/22 頁



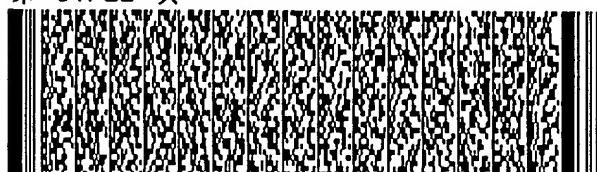
第 15/22 頁



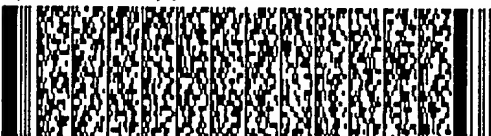
第 16/22 頁



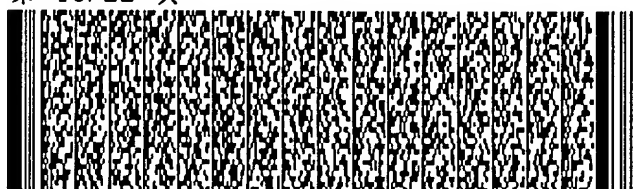
第 17/22 頁



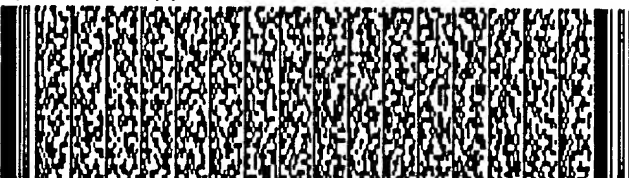
第 18/22 頁



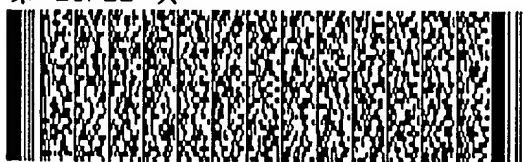
第 19/22 頁



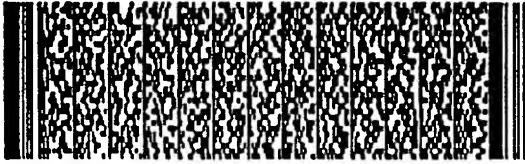
第 20/22 頁



第 21/22 頁



第 21/22 頁



第 22/22 頁

